

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-069017

(43)Date of publication of application : 07.03.2003

```
H01L 29/78
H01L 21/336
H01L 29/872
// H01L 29/861
```

(71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD

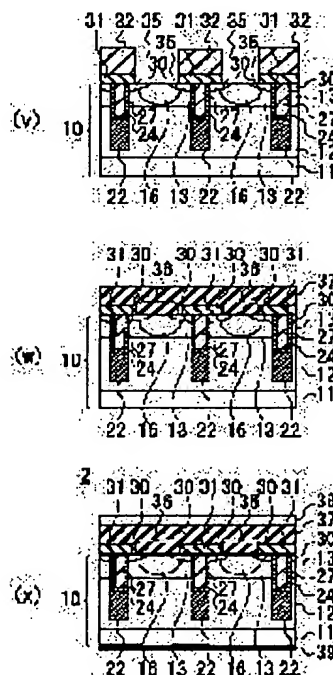
(72)Inventor : KITADA MIZUE
OSHIMA KOSUKE
KUROSAKI TORU
KURI SHINJI
SUGAI AKIHIKO

(54) TRANSISTOR AND DIODE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a transistor and a diode whose resistance is low and whose dielectric strength is high.

SOLUTION: When the bottom of each rectangular parallelepiped thin groove 20 is filled with a semiconductor epitaxially grown product, a {100} plane is exposed on the side faces of each groove 20. Each face inside each groove 20 is epitaxially grown at a uniform speed, and a filler 22 without a void is obtained. When the concentration, the width or the like of the filler 22 is set to an optimum value, a part between fillers 22 in a drain layer 12 is depleted completely when the inside of the fillers 22 is depleted completely, and a field strength in a depletion layer which is spread inside the drain layer 12 can be made constant.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-69017

(P2003-69017A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A 4 M 1 0 4
	6 5 2		6 5 2 G
			6 5 2 T
21/336		29/48	F
29/872		29/78	6 5 8 E
審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2001-260869 (P2001-260869)

(22) 出願日 平成13年8月30日 (2001.8.30)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 北田 瑞枝

埼玉県飯能市南町10番13号 新電元工業株

式会社飯能工場内

(72) 発明者 大島 宏介

埼玉県飯能市南町10番13号 新電元工業株

式会社飯能工場内

(74) 代理人 100102875

弁理士 石島 茂男 (外1名)

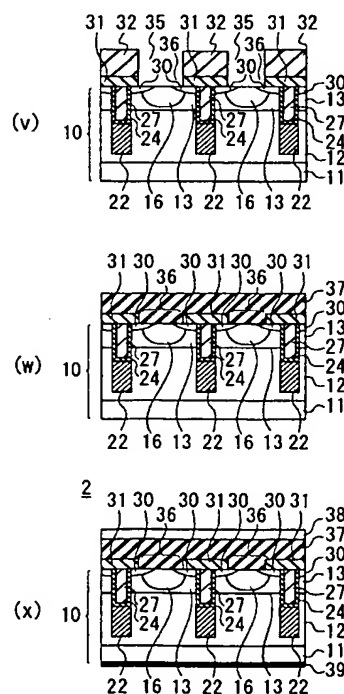
最終頁に続く

(54) 【発明の名称】 トランジスタ、ダイオード

(57) 【要約】

【課題】 低抵抗高耐圧のトランジスタとダイオードを提供する。

【解決手段】 直方体の細溝20の底部を半導体エピタキシャル成長物で充填する場合に、細溝20の側面に(100)面を露出させる。細溝20内の各面から等速度でエピタキシャル成長し、ボイドの無い充填物22が得られる。充填物22の濃度や幅等を最適値に設定することで、充填物22内部が完全に空乏化するときには、ドレイン層12の充填物22間に位置する部分も完全に空乏化し、ドレイン層12内に広がった空乏層中の電界強度を一定にすることができる。



【特許請求の範囲】

【請求項 1】 第 1 導電型のドレイン層と、

前記ドレイン層と接して配置された第 2 導電型のボディ層と、

前記ボディ層と前記ドレイン層とに亘って形成され、底面が前記ドレイン層内に位置する有底の細溝と、

前記ボディ層内の前記細溝の開口部分に位置し、前記ドレイン層とは離間したソース領域と、

半導体のエピタキシャル成長によって前記細溝内に形成され、下端部が前記細溝の底面と接し、上端部が前記ボディ層と前記ドレイン層の境界よりも低く、第 2 導電型の不純物が添加された充填物と、

前記細溝の内周面のうち、少なくとも前記ボディ層が露出する部分に形成されたゲート絶縁膜と、

前記細溝内の前記ゲート絶縁膜と接触して配置され、前記充填物とは絶縁されたゲート電極プラグと、を有するトランジスタ。

【請求項 2】 前記細溝の内部空間は直方体で構成され、該細溝の側面は { 1 0 0 } 面が露出された請求項 1 記載のトランジスタ。

【請求項 3】 前記充填物は、浮遊電位に置かれた請求項 1 又は請求項 2 のいずれか 1 項記載のトランジスタ。

【請求項 4】 前記充填物は、前記ソース領域に電氣的に接続された請求項 1 又は請求項 2 のいずれか 1 項記載のトランジスタ。

【請求項 5】 前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には第 1 導電型の半導体基板を有し、

前記半導体基板表面には、該半導体基板とオーミック接続されたドレイン電極を有する請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタ。

【請求項 6】 前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には第 2 導電型のコレクタ層が設けられ、

前記コレクタ層表面には、該コレクタ層とオーミック接続されたコレクタ電極を有する請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタ。

【請求項 7】 前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には、該ドレイン層とショットキー接合を形成するショットキー電極が設けられた請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタ。

【請求項 8】 第 1 導電型の主半導体層と、前記主半導体層に形成され、底面が前記主半導体層内に位置する有底の細溝と、

半導体のエピタキシャル成長によって前記細溝内に形成され、第 2 導電型の不純物が添加された充填物と、

前記主半導体層の表面と前記充填物の表面の両方に接触し、前記主半導体層とはショットキー接合を形成するショットキー電極と、

を有するダイオード。

【請求項 9】 前記ショットキー電極は、前記充填物とはオーミック接続された請求項 8 記載のダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はトランジスタとダイオードに係り、特に、細溝内に半導体結晶がエピタキシャル成長された構造を有するトランジスタとダイオードに関する。

【0002】

【従来の技術】 図 20 は、従来技術のトランジスタ 102 の断面図を示している。このトランジスタ 102 は、トレンチ型パワー MOSFET であり、N⁺ 型不純物がシリコン単結晶中に高濃度にドーブされた半導体基板 111 と、該半導体基板 111 上にエピタキシャル成長法によって形成された N⁻ 型のシリコンエピタキシャル層から成るドレイン層 112 とを有している。

【0003】 符号 110 は、半導体基板 111 とドレイン層 112 とを有する処理基板を示しており、この処理基板 110 に半導体製造プロセスが施された結果、ドレイン層 112 内部の表面側に、P 型のボディ層 113 が形成されており、該ボディ層 113 内部の表面近傍に、P⁺ 型のオーミック領域 116 と、N⁻ 型のソース領域 130 とが複数形成されている。

【0004】 ソース領域 130 の間の位置では、半導体基板 110 表面が帯状にエッチングされ、細溝 120 が形成されている。

【0005】 細溝 120 の内周面には、ゲート絶縁膜 124 が形成されており、その細溝 120 の内部には、そのゲート絶縁膜によって半導体基板 110 とは非接触の状態で、ポリシリコンが充填され、そのポリシリコンによってゲート電極プラグ 127 が形成されている。

【0006】 各細溝 120 内のゲート電極プラグ 127 は、金属薄膜から成る不図示のゲート電極膜によって互いに接続されている。

【0007】 ソース領域 130 とオーミック領域 116 の表面には、金属薄膜から成るソース電極膜 137 が形成されている。細溝 120 上には層間絶縁膜 131 が形成されており、この層間絶縁膜 131 により、ソース電極膜 137 とゲート電極プラグ 127 とは電氣的に絶縁されている。

【0008】 処理基板 110 の裏面、即ち、半導体基板 111 の表面にはドレイン電極膜 139 が形成されている。

【0009】 ソース電極膜 137 を接地電位に接続し、ドレイン電極膜 139 に正電圧を印加した状態で、ゲート電極膜に閾電圧以上の正電圧を印加すると、ゲート絶縁膜 124 とボディ層 113 の界面に N 型の反転層が形成され、その反転層によって、ソース領域 130 とドレイン層 112 とが接続され、反転層を通して、ドレイン層 112 からソース領域 130 に向けて電流が流れる。

この状態は、トランジスタ 102 が導通した状態であり、細溝 120 を用いないパワー MOSFET に存在する JFET 領域が存在しないため、通常のパワー MOSFET に比べて導通抵抗が小さくなっている。

【0010】そして、導通した状態からゲート電極膜の電位がソース電極膜 137 と同じ電位に変わると、反転層は消滅し、電流は流れなくなる。

【0011】この状態では、ボディ層 113 とドレイン層 112 との間の PN 接合は逆バイアスされており、その PN 接合のアバランシェ耐圧がトランジスタ 102 の耐圧と等しくなっている。

【0012】一般に、PN 接合のアバランシェ耐圧は、逆バイアスされたときの空乏層の形状によって異なるが、上記のようなトランジスタ 102 では、ドレイン層 112 内に広がる空乏層内の電界強度が不均一であるため、電界強度が強くなる部分でアバランシェ耐圧が決定され、耐圧が低くなってしまっている。

【0013】そこで図 21 のような構造の半導体装置 103 が提案されており、細溝 120 の下側にドレイン層 112 とは異なる導電型の埋込層 122 を形成し、ドレイン層 112 内に広がる空乏層の電界強度を緩和する試みが成されている。

【0014】埋込層 122 は、一旦細溝 120 を深く掘削し、細溝 120 の内部の底部と側壁に充填物を成長させることで形成しており、充填物としては半導体単結晶や半導体多結晶を用いることができる。

【0015】しかしながら、充填物としてシリコン単結晶を選択し、細溝 120 内にシリコンエピタキシャル層を成長させ、そのエピタキシャル層によって埋込層 122 を構成させた場合には、期待通りの耐圧が得られないという不都合が生じている。

【0016】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、低抵抗高耐圧の半導体装置を提供することにある。

【0017】

【課題を解決するための手段】本発明は、耐圧低下の原因が、細溝内にシリコンが均一にエピタキシャル成長せず、ボイドが生じてしまうことにあることを見出し、本発明を創作するに至ったものである。

【0018】そして、請求項 1 記載の発明は、第 1 導電型のドレイン層と、前記ドレイン層と接して配置された第 2 導電型のボディ層と、前記ボディ層と前記ドレイン層とに亘って形成され、底面が前記ドレイン層内に位置する有底の細溝と、前記ボディ層内の前記細溝の開口部分に位置し、前記ドレイン層とは離間したソース領域と、半導体のエピタキシャル成長によって前記細溝内に形成され、下端部が前記細溝の底面と接し、上端部が前記ボディ層と前記ドレイン層の境界よりも低く、第 2 導

電型の不純物が添加された充填物と、前記細溝の内周面のうち、少なくとも前記ボディ層が露出する部分に形成されたゲート絶縁膜と、前記細溝内の前記ゲート絶縁膜と接触して配置され、前記充填物とは絶縁されたゲート電極プラグと、を有するトランジスタである。請求項 2 記載の発明は、前記細溝の内部空間は直方体で構成され、該細溝の一側面は {1 0 0} 面が露出された請求項 1 記載のトランジスタである。請求項 3 記載の発明は、前記充填物は、浮遊電位に置かれた請求項 1 又は請求項 2 のいずれか 1 項記載のトランジスタである。請求項 4 記載の発明は、前記充填物は、前記ソース領域に電気的に接続された請求項 1 又は請求項 2 のいずれか 1 項記載のトランジスタである。請求項 5 記載の発明は、前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には第 1 導電型の半導体基板を有し、前記半導体基板表面には、該半導体基板とオーミック接続されたドレイン電極を有する請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタである。請求項 6 記載の発明は、前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には第 2 導電型のコレクタ層が設けられ、前記コレクタ層表面には、該コレクタ層とオーミック接続されたコレクタ電極を有する請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタである。請求項 7 記載の発明は、前記ドレイン層のうち、前記ボディ層が位置する面とは反対側の面には、該ドレイン層とショットキー接合を形成するショットキー電極が設けられた請求項 1 乃至請求項 4 のいずれか 1 項記載のトランジスタである。請求項 8 記載の発明は、第 1 導電型の主半導体層と、前記主半導体層に形成され、底面が前記主半導体層内に位置する有底の細溝と、半導体のエピタキシャル成長によって前記細溝内に形成され、第 2 導電型の不純物が添加された充填物と、前記主半導体層の表面と前記充填物の表面の両方に接触し、前記主半導体層とはショットキー接合を形成するショットキー電極と、を有するダイオードである。請求項 9 記載の発明は、前記ショットキー電極は、前記充填物とはオーミック接続された請求項 8 記載のダイオードである。

【0019】

【発明の実施の形態】以下で図面を参照し、本発明の実施形態について説明する。まず、図 1(a) を参照し、符号 10 は、下記製造工程を適用する処理基板であり、シリコン単結晶から成る半導体基板 11 と、該半導体基板 11 表面にシリコンがエピタキシャル成長されて成るドレイン層 12 とを有している。本実施例では、第 1 導電型を N 型、第 2 導電型を P 型として説明する。

【0020】半導体基板 11 は、N⁺ 型であり、抵抗率は 0.003 Ω・cm 程度である。ドレイン層 12 は N⁻ 型で高抵抗である。ドレイン層 12 の厚みは 18.2 μm 程度である。

【0021】次に、図 1(b) に示すように、ドレイン層

12の表面にボロニオン(B⁺)を照射するとドレイン層12の内部にボロニオンが注入され、ドレイン層12内部の表面近くにP型注入層41が形成される。この状態では、ドレイン層12は、P型注入層41とシリコン基板11とで挟まれた状態になる。

【0022】次いで、熱処理をし、P型注入層41中のボロンをドレイン層12内に拡散させると、図1(c)に示すように、ドレイン層12内部の表面側に、P型のボディ層13が形成される。ボディ層13は、最終的に底部がドレイン層12の表面から1.2μmの深さに位置するように設計されておりここでは、後述する熱処理によって拡散する分も考慮し、1.2μmよりも浅く拡散されている。

【0023】そして、この状態では、ドレイン層12は処理基板10内に埋め込まれた状態になっており、処理基板10の表面にはドレイン層12は露出していない。

【0024】次いで、図2(d)に示すように、ドレイン層12の表面に、複数の細長の開口15が、所定間隔で互いに平行に形成されたレジスト膜14を形成する。

【0025】次いで、レジスト膜14が形成された面に、P型の不純物(ここではボロニオン:B⁺)を照射すると、レジスト膜14がマスクとなり、開口15の底面に露出するボディ層13表面にP型の不純物が注入され、図2(e)に示すように、ボディ層13内部の表面近傍に、開口15のパターンに従ったパターンで、P型注入層19が形成される。

【0026】レジスト膜14を除去した後、熱処理し、P型注入層19中のボロン不純物を拡散させると、図2(f)に示すように、ボディ層13内部の表面近傍に、P型のオーミック領域16が互いに平行に複数本形成される。ここではオーミック領域16の拡散深さは1.0μm程度である。

【0027】次いで、図3(g)に示すように、ボディ層13とオーミック領域16とが露出した状態で、その表面にCVD法によってシリコン酸化膜17を形成した後、図3(h)に示すように、該シリコン酸化膜17表面にパターニングしたレジスト膜18を形成する。

【0028】このレジスト膜18は、オーミック領域16の長手方向に沿い、オーミック領域16の間に位置する細長の開口42を有している。

【0029】その状態で、エッチングし、開口42底面に位置するシリコン酸化膜17を除去すると、シリコン酸化膜17がレジスト膜18と同じ形状にパターニングされる。パターニングにより、シリコン酸化膜17には、図3(i)に示すように、レジスト膜18の開口42と同じ形状の開口43が形成される。

【0030】この状態では、シリコン酸化膜17の開口43の底面には、処理基板10のうちのボディ層13の部分が露出されており、レジスト膜18を除去し、パターニングされたシリコン酸化膜17をマスクとし、開口

43の底面に位置する部分の処理基板10をエッチングし、図4(j)に示すように、処理基板10に、シリコン酸化膜17の開口43と同じパターンの細溝20を形成する。

【0031】この細溝20はボディ層13を貫通しており、細溝20の底面は、ボディ層13の下層に位置するドレイン層12の内部に達している。ここでは細溝20の処理基板10表面からの深さは12μmになっている。

【0032】細溝20の開口部分の側面には、シリコン酸化膜17が露出しており、それよりも下方の部分では、処理基板10を構成するシリコンが露出している。

【0033】レジスト膜18の開口42の幅は、オーミック領域16の間隔よりも狭く、且つ、開口42はオーミック領域16間の略中央に配置されている。従って、細溝20もオーミック領域16の間の位置であって、オーミック領域16の端部とは離間した位置に形成されているため、細溝20の側面には、処理基板10中のオーミック領域16は露出しておらず、ボディ層13と、その下層のドレイン層12とが露出している。細溝20の底面には、ドレイン層12が露出している。

【0034】細溝20は上記のように形成されており、処理基板10の表面側では、細溝20の底面及び内周面にだけ処理基板10が露出している。

【0035】この状態でCVD装置内に処理基板10を搬入し、高温に加熱してシリコンの原料ガスとP型の不純物を含有する添加ガスとを導入すると、細溝20の底面と内周面にシリコンと添加ガス中のP型の不純物とが析出し、P型のシリコン単結晶のエピタキシャル成長が開始される。

【0036】ここで、処理基板10は、その表面の面方位が{1 0 0}であるものが用いられている。また、レジスト膜18の開口42の平面形状は長方形であり、開口42を形成する際に、処理基板10とレジスト膜18をパターニングするマスクとを相対的に位置合わせし、開口42の長辺又は短辺が、それぞれ処理基板10の{1 0 0}面を決めるx軸又はy軸の方向に沿うように配置されている。

【0037】細溝20の開口の形状は開口42の平面形状と同じ形状であり、位置も同じであるから、細溝20の長辺又は短辺がx軸又はy軸の方向に沿っている。

【0038】図11は、同一形状の複数の細溝20が互いに等間隔で平行に配置された状態を示す平面図であり、この図11では、細溝20の長辺a₁、a₂がx軸の方向に沿い、x軸と平行になっている。従って、細溝20の短辺b₁、b₂はy軸と平行になっている。

【0039】また、図12は、細溝20の内部を表す斜視図である。この図12に示されているように、細溝20の内部空間、即ち、細溝20の内容積を構成する領域は直方体によって構成されている。即ち、細溝20の四

側面 A_1 、 A_2 、 B_1 、 B_2 は、処理基板 10 の表面に対して垂直な平面であり、従って、隣り合う二側面は互いに直交している。また、細溝 20 の底面 C は、処理基板 10 の表面と平行であるから、四側面 A_1 、 A_2 、 B_1 、 B_2 に対して垂直になっている。

【0040】従って細溝 20 の四側面 A_1 、 A_2 、 B_1 、

$$(1\ 0\ 0), (0\ 1\ 0), (0\ 0\ 1), (\overline{1\ 0\ 0}), (\overline{0\ 1\ 0}), (\overline{0\ 0\ 1})$$

【0042】の全てを表す。

【0043】従って、処理基板 10 の表面の面方位が (1 0 0) であり、細溝 20 の長手方向の二側面 A_1 、 A_2 に (0 1 0) 面が露出している場合、短辺方向の側面 B_1 、 B_2 には、(0 0 1) 面又は、

【0044】

【数 2】

$$(0\ 0\ \overline{1})$$

【0045】が露出する(底面 C は、処理基板 10 の表面と同じ面方位である。)

【0046】従って、四側面 A_1 、 A_2 、 B_1 、 B_2 と底面 C に露出する処理基板 10 の面は全て同じ面方位 {1 0 0} になるから、細溝 20 内には、処理基板 10 の各面からシリコンが均等にエピタキシャル成長し、図 4 (k) に示すように、細溝 20 のシリコン酸化膜 17 よりも下方の部分が、シリコンのエピタキシャル成長層から成る充填物 22 によって充填される。シリコン酸化膜 17 が露出する部分では、シリコンはエピタキシャル成長しないため、シリコン酸化膜 17 の開口 43 は残っている。

【0047】ところで、細溝 20 内に {1 1 0} 面や {1 1 1} が露出していた場合には、四側面 A_1 、 A_2 、 B_1 、 B_2 と底面 C に露出する処理基板 10 の表面が全てが同じ面方位になることはできないから、細溝 20 内に露出する処理基板 10 表面に、エピタキシャル成長速度が異なる部分が生じ、不均等にエピタキシャル成長したシリコンにより、細溝 20 内にボイドが形成されてしまう。

【0048】図 13 は、本発明方法によって細溝 20 内をシリコンエピタキシャル成長層で充填した場合の、細溝 20 の断面電子顕微鏡写真である。この図 13 から分かるように、ボイドは生じていない。

【0049】図 14 は、細溝の一側面 A_1 に、(1 1 0) 面を露出させ、シリコンエピタキシャル成長層によって充填した場合の細溝の断面電子顕微鏡写真である。この図 14 では、紙面縦方向に長いボイドが観察される。

【0050】次いで、シリコン酸化膜 17 をマスクとし充填物 22 の上部をエッチングし、図 4 (l) に示すように、細溝 20 内部に、ボディ層 13 の上端から下端までと、ドレイン層 12 の上端から所定深さまでを露出させ

B_2 と底面 C の処理基板 10 表面が露出する部分は、シリコン単結晶の {1 0 0} 面になっている。{1 0 0} は、下記面方位、

【0041】

【数 1】

る。この状態では、充填物 22 の表面は、ボディ層 13 とドレイン層 12 が形成する PN 接合よりも下方に位置している。ここでは、充填物 22 の表面は、処理基板 10 の表面から 1.6 μm の深さに位置している。

【0051】次いで、この状態の処理基板 10 を熱酸化すると、図 5 (m) に示すように、細溝 20 内に露出する処理基板 10 表面に、シリコン酸化物薄膜から成るゲート絶縁膜 24 が形成される。

【0052】この状態では、細溝 20 の底面 C には、ゲート絶縁膜 24 が配置されており、四側面 A_1 、 A_2 、 B_1 、 B_2 には、シリコン酸化膜 17 とゲート絶縁膜 24 とが配置されている。

【0053】次いで、処理基板 10 の、細溝 20 の開口が位置する側の面にポリシリコンを堆積させ、図 5 (n) に示すように、ポリシリコン薄膜 26 を形成すると、細溝 20 内は、ポリシリコン薄膜 26 によって充填される。

【0054】この状態では、ポリシリコン薄膜 26 は、細溝 20 内の他、シリコン酸化膜 17 の表面にも形成されており、その状態から、ポリシリコン薄膜 26 を所定量エッチングし、シリコン酸化膜 17 上に位置するポリシリコン薄膜 26 と、細溝 20 内部の上端部分のポリシリコン薄膜 26 を除去すると、各細溝 20 内のポリシリコン薄膜 26 は互いに分離され、図 5 (o) に示すように、細溝 20 の内部が、ポリシリコン薄膜 26 の残存部分から成るゲート電極プラグによってそれぞれ充填される。このゲート電極プラグ 27 は、細溝 20 内のゲート絶縁膜 24 で囲まれており、

【0055】次いで、図 6 (p) に示すように、シリコン酸化膜 17 を除去すると、処理基板 10 のボディ層 13 とオーミック領域 16 とが露出される。この状態では、細溝 20 内のゲート電極プラグ 27 の表面や、ゲート絶縁膜 24 の上端部も露出しており、ボディ層 13 の表面と、オーミック領域 16 の表面と、ゲート電極プラグ 27 の上端部と、ゲート絶縁膜 24 の上端部とで構成される処理基板 10 の表面は平坦になっている。

【0056】オーミック領域 16 の平面形状と、細溝 20 の開口部分の形状、即ちゲート電極プラグ 27 の平面形状とは細長の長方形であり、互いに平行に交互に配置されている。

【0057】次いで、図 6 (q) に示すように、オーミック領域 16 の幅方向中央位置に、オーミック領域 16 の

幅よりも狭く、細長にパターニングされたレジスト膜 28 を形成する。このレジスト膜 28 の両側には、オーミック領域 16 が露出している。

【0058】符号 44 はレジスト膜 28 が配置されていない露出面を示している。この状態で、図 6 (r) に示すように、レジスト膜 28 が形成された面に N 型の不純物 (ここでは砒素イオン: As^+) を照射すると、露出面 44 内に N 型不純物が注入され、オーミック領域 16 とボディ層 13 内部の表面近傍に N 型注入層 39 が形成される。この N 型注入層 39 は、レジスト膜 28 と細溝 20 との間に亘って形成されており、レジスト膜 28 で覆われていない部分のオーミック領域 16 とボディ層 13 の表面部分に N 型注入層 39 が形成されている。

【0059】レジスト膜 28 を除去した後、熱処理を行うと、N 型注入層 39 中の不純物が拡散され、図 7 (s) に示すように、ボディ層 13 とオーミック領域 16 の表面近傍部分に N 型のソース領域 30 が形成される。

【0060】このソース領域 30 は、少なくとも細溝 20 の長手方向に沿った方向に伸びており、従って、少なくとも細溝 20 の長手方向の両側にはソース領域 30 の表面が露出されている。

【0061】N 型注入層 39 中の不純物は横方向拡散し、オーミック領域 16 の表面を侵食するが、横方向拡散の量は少ないため、レジスト膜 28 が位置していた部分の幅方向中央の表面にはオーミック領域 16 が残り、その表面が露出している。

【0062】また、N 型注入層 39 は、細溝 20 の側面に形成されたゲート絶縁膜 24 に接しており、N 型の不純物はゲート絶縁膜 24 の内部には拡散しないため、ソース領域 30 は、ゲート絶縁膜 24 の上端部からソース拡散層 30 の拡散深さの分だけ、ゲート絶縁膜 24 と接触している。従って、この状態では、ソース領域 30 の底面とドレイン層 12 の上端部との間のゲート絶縁膜 24 は、ボディ層 13 と接触しており、その部分のゲート絶縁膜 24 とボディ層 13 の界面が所謂チャネル領域になる。

【0063】次に、図 7 (t) に示すように、CVD 法により、半導体基板全面にシリコン酸化膜から成る層間絶縁膜 31 を全面成膜し、図 7 (u) に示すように、該層間絶縁膜 31 の表面にパターニングしたレジスト膜 32 を形成する。

【0064】このレジスト膜 32 には、パターニングによって細溝 20 の間の位置に細長の開口 35 が形成されており、レジスト膜 32 は、少なくとも細溝 20 の上部に配置されている。

【0065】開口 35 の底面には層間絶縁膜 31 が露出しており、エッチングを行うと、層間絶縁膜 31 の開口 35 の底面の部分が除去され、層間絶縁膜 31 に、レジスト膜 32 の開口 35 と同じ平面パターン of の開口 36 が形成される。

【0066】層間絶縁膜 31 の開口 35 の底面には、幅方向の中央にオーミック領域 16 が露出しており、その両側位置にソース領域 30 が露出している。開口 35 の底面には、ゲート電極プラグ 27 の上端は露出していない。

【0067】次に、レジスト膜 32 を除去した後、処理基板 10 の開口 36 を有する側の面に、蒸着法やスパッタリング法によってアルミニウム薄膜を形成し、パターニングし、ソース電極膜とゲート電極膜を形成する。ゲート電極膜とソース電極膜は、互いに分離されており、異なる電圧が印加できるようになっている。図 8 (w) の符号 37 はソース電極膜を示している。

【0068】ソース電極膜 37 は、開口 36 底面において、ソース領域 30 とオーミック領域 16 とに接続されている。ソース電極膜 37 は、層間絶縁膜 31 によってゲート電極プラグ 27 から絶縁されている。

【0069】他方、ゲート電極膜は、各細溝 20 内のゲート電極プラグ 27 に接続されており、各細溝 20 内のゲート電極プラグ 27 には、ゲート電極膜に印加された電圧が印加されるようになっている。

【0070】次に、図 8 (x) に示すように、ソース電極膜 37 やゲート電極膜の表面にシリコン酸化物薄膜等から成る絶縁性保護膜 38 を形成し、パターニングしてソース電極膜 37 とゲート電極膜の一部を露出させた後、処理基板 10 の裏面に金属薄膜を形成し、その金属薄膜でドレイン電極膜 39 を構成させ、パワー MOSFET 型のトランジスタ 2 を得る。このドレイン電極膜 39 は、半導体基板 11 とオーミック接合を形成している。

【0071】このようなトランジスタ 2 では、1 枚の処理基板 10 中に複数個形成されており、ダイシング工程により、トランジスタ 2 を 1 個ずつ切り離した後、ゲート電極膜、ソース電極膜 37、及びドレイン電極膜 39 を金属端子に接続し、樹脂封止するとパッケージ化されたトランジスタ 2 が得られる。

【0072】金属端子を電源や電気回路に接続することにより、ソース電極膜 37 を接地電位に接続し、ドレイン電極膜 39 に正電圧を印加した状態で、ゲート電極膜に電圧を印加し、各細溝 20 内のゲート電極プラグ 27 に閾電圧以上の大きさの正電圧を印加すると、チャネル領域 (ボディ層 13 とゲート絶縁膜 24 の界面) に N 型の反転層が形成され、ソース領域 30 とドレイン層 12 とが反転層によって接続され、ドレイン層 12 からソース領域 30 の向けて電流が流れる。この状態では、トランジスタ 2 は導通状態にある。

【0073】その状態から、各ゲート電極プラグ 27 をソース電位と同じ電位にすると、反転層は消滅し、電流は流れなくなる。この状態ではトランジスタ 2 は遮断状態にある。

【0074】トランジスタ 2 が遮断状態にあり、ドレイン電極膜 39 とソース電極膜 37 の間に大きな電圧が印

加された状態では、ボディ層13とドレイン層12とで構成されるPN接合が逆バイアスされ、ボディ層13内とドレイン層12内に空乏層が広がる。

【0075】細溝20の底部に半導体エピタキシャル成長物から成る充填物22が配置されており、その充填物22の導電型はドレイン層12の導電型とは逆になっている。充填物22は、ドレイン層12とは電氣的に接続されていないから、ボディ層12内に空乏層が広がる時には充填物22内にも空乏層が広がるようになっている。

【0076】図9の符号48は、P型のボディ層13と充填物22と、N型のドレイン層12との間に形成されるPN接合から、ドレイン層12内に広がる空乏層の端部を示しており、符号49は、充填物22とドレイン層12との間に形成されるPN接合から充填物22内に広がった空乏層の端部を示している。

【0077】この図9の状態から、ドレイン電極膜39とソース電極膜37の間の電圧が更に大きくなると、充填物22は完全に空乏化する。

【0078】本発明のトランジスタ2では、充填物22間の距離及び充填物22の幅と、充填物22の濃度及びドレイン層12の濃度とが、最適値に設定されることで、ドレイン電極膜39とソース電極膜37の間に、充填物22が完全に空乏化する電圧が印加されたときには、細溝20及び充填物22間に位置する部分のドレイン層12も完全に空乏化するようになっている。

【0079】ドレイン層12の、充填物22間に位置する部分が完全に空乏化した状態では、ドレイン層12内に広がった空乏層の内部の電界強度は深さ方向で一定値になっている。

【0080】この状態のトランジスタ2の内部の位置と電界強度の関係を図10のグラフに示す。この図10のグラフは、細溝20の間の位置であって、ソース領域30と、ボディ層13と、ドレイン層12とを通るA-A線に沿った方向の電界強度である。

【0081】この場合、充填物22内にボイドが存在すると、その部分で耐圧が低下するが、本発明のトランジスタ2では、{1 0 0}面から等速度でエピタキシャル成長した半導体結晶によって充填物22が構成されており、ボイドが存在しないため耐圧の低下が生じない。

【0082】以上は、電界効果MOSトランジスタ型の実施例について説明したが、本発明はそれに限定されるものではない。

【0083】図15の符号3は、本発明の他の例であるPN接合型のIGBTを示している。この図15では、図8(x)に示したトランジスタ2と同じ部材には同じ符号を付してある。このトランジスタ3(及び後述する図16のトランジスタ4)の細溝20の側面及び底面は、

{1 0 0}面であり、細溝20内に充填された充填

物22は、{1 0 0}面からエピタキシャル成長した半導体単結晶であり、平面パターンは図11のように、複数の細溝20が平行に配置されており、各細溝20の内容積は、図12に示したように、直方体によって構成されている。

【0084】図15のトランジスタ3が図8(x)のトランジスタ2と異なる部分は、図8(x)のトランジスタ2の処理基板10は、エピタキシャル成長法により、N型(第1の導電型)のドレイン層12がN型の半導体単結晶である半導体基板11上に形成されていたが、図15のトランジスタ3のN型(第1の導電型)の処理基板71では、N型のドレイン層12は、エピタキシャル成長法により、P型の半導体基板45上に形成されている。

【0085】図15の符号46は、P型の半導体基板45表面に形成された金属薄膜から成るコレクタ電極を示しており、このコレクタ電極46は、P型の半導体基板45とオーミック接合を形成している。

【0086】このようなトランジスタ3では、半導体基板45からドレイン層12内に少数キャリアが注入され、ドレイン層12の伝導度が変調する結果、導通状態におけるドレイン層12の抵抗値は、MOSFET型のトランジスタ2よりも小さくなる。

【0087】次に、図16のトランジスタ4を説明する。このトランジスタ4は、本発明の一例のショットキー接合型のIGBTであり、図15のトランジスタ3の場合と同様に、図8(x)と同じ部材には同じ符号を付して説明を省略する。

【0088】図16のトランジスタ4の処理基板72は、高抵抗のN型(第1の導電型)ドレイン層12の表面に、金属薄膜から成るショットキー電極47が形成されている。

【0089】このショットキー電極47は、ドレイン層12とショットキー接合を形成しており、ショットキー電極47とドレイン層12の間には、ショットキー電極47がアノード電極となり、ドレイン層12がカソード電極となるダイオードが形成されている。

【0090】このようなトランジスタ4では、ショットキー電極47からドレイン層12内に少数キャリアが注入され、ドレイン層12の伝導度変調が生じ、動作状態におけるドレイン層12の抵抗値が小さくなる。但し、その抵抗値は、図15に示したPN接合型のIGBTよりも大きい。

【0091】上記各トランジスタ2~4では、細溝20内の充填物22はソース電極37やゲート電極プラグ27やドレイン電極39、コレクタ電極46又はショットキー電極47には接続されておらず、浮遊電位に置かれていたが、各細溝20内の充填物22をソース電極37に接続し、充填物22にソース領域30と同じ電圧が印加されるようにしてもよい。

【0092】但し、充填物22を浮遊電位に置いたとき

とソース電極 37 に接続したときとは、空乏層の拡がり方が少し異なる。

【0093】充填物 22 を浮遊電位に置いたときには、ボディ層 13 とドレイン層 12 の界面の PN 接合からドレイン層 12 内に広がった空乏層の端部が充填物 22 に達したときに、充填物 22 のうちの空乏層の端部と接する部分は、ドレイン電極 39 の電位と同じ電位になる。

【0094】そして、ドレイン電極 39 とソース電極 37 の間の電位差がそれ以上大きくなると、空乏層は充填物 22 の内部にも生じるようになる。

【0095】それに対し、充填物 22 をソース電極 37 に接続した場合には、充填物 22 はソース電極と同じ電位であり、ドレイン電極 39 とソース電極 37 の間に電圧が印加され、充填物 22 とドレイン層 12 との間の PN 接合が逆バイアスされると、空乏層は充填物 22 の内部に直ちに発生する。

【0096】いずれにしろ、充填物 22 内が完全に空乏化すると共に、充填物 22 間に位置する部分のドレイン層 12 が空乏化するとき、ボディ層 13 とドレイン層 12 との界面の PN 接合から充填物 22 の底面までの電界強度 E は、図 10 に示すように一定になる。

【0097】このため、従来のように集中的に強度の強い電界が加わらず、従来構造のトランジスタと同じ電圧を印加した場合には、ボディ層 13 とドレイン層 12 との界面から充填物 22 の底面までには、従来構造のトランジスタよりも小さい電界が加わるので、従来よりも耐圧が高くなる。

【0098】以上は、実施例としてトランジスタ 2~4 を説明したが、本発明はトランジスタに限定されるものではなく、ダイオードも含まれる。

【0099】図 18(f)の符号 5 は、本発明の一例のダイオードを示している。このダイオード 5 の製造工程を説明すると、先ず、図 17(a)に示すように、N⁺型の半導体基板 51 と、該半導体基板 51 上に配置された N⁻型の主半導体層 52 とを有する処理基板 50 を用意し、主半導体層 52 表面に細長の細溝 53 を形成する。

【0100】この細溝 53 の配置状態も、図 11 に示した細溝 20 と同様に、複数の細溝 53 が互いに平行に配置されており、各細溝 53 の内容積は、図 12 の細溝 20 と同様に、直方体によって構成されている。

【0101】半導体基板 51 は N 型の不純物が高濃度にドーパされたシリコン等の半導体単結晶から成り、主半導体層 52 は N 型の不純物が少量ドーパされ、エピタキシャル成長法によって形成された半導体単結晶によって構成されている。

【0102】細溝 53 の開口の形状は長方形であり、細溝 53 の四側面は主半導体層 52 の表面に対して垂直になっている。また、細溝 53 の底面は、主半導体層 52 の表面と平行になっている。

【0103】細溝 53 の側面及び底面は、{1 0

0} 面であり、処理基板 50 の細溝 53 が形成された面にシリコンがエピタキシャル成長すると、図 17(c)に示すように、細溝 53 内は、シリコンエピタキシャル層 55 によって充填される。エピタキシャル成長の際には P 型の不純物が添加され、エピタキシャル層 55 は P 型になっている。

【0104】この状態では、細溝 53 間に露出する主半導体層 52 の表面にも、シリコンエピタキシャル層 55 は成長しており、図 18(d)に示すように、主半導体層 52 表面が露出するまでシリコンエピタキシャル層 55 をエッチングすると、各細溝 53 内部に、シリコンエピタキシャル層 55 の残部によって構成された充填物 57 が形成される。主半導体層 52 表面が露出した状態では、各細溝 53 内の充填物 57 は、互いに分離されている。

【0105】次に、処理基板 50 の充填物 57 及び主半導体層 52 が露出する側の表面に金属薄膜を形成し、不要部分をエッチング除去し、その金属薄膜の残部で第 1 の電極 59 を形成する。

【0106】この第 1 の電極 59 は、主半導体層 52 とはショットキー接合を形成し、充填物 57 とはオーミック接合を形成している。充填物 57 の導電型と主半導体層 52 の導電型とは互いに反対になっており、主半導体層 52 と充填物 57 との間には PN 接合が形成されている。

【0107】次に、図 18(f)に示すように、半導体基板 51 の表面に、半導体基板 51 とオーミック接合する金属膜を形成し、その金属膜によって第 2 の電極 60 を構成させる。

【0108】このダイオード 5 では、第 2 の電極 60 に負電圧、第 1 の電極 59 に正電圧を印加すると、第 1 の電極 59 と主半導体層 52 との間のショットキー接合が順バイアスされ、第 1 の電極 59 から第 2 の電極 60 に向けて電流が流れる。

【0109】このとき、充填物 57 と主半導体層 52 との間の PN 接合も順バイアスされるが、PN 接合の障壁高さはショットキー接合の障壁高さよりも高いので、PN 接合には電流は流れないか、流れても僅かである。

【0110】それとは逆に、第 2 の電極 60 に正電圧、第 1 の電極 59 に負電圧を印加すると、第 1 の電極 59 と主半導体層 52 との間のショットキー接合と、充填物 57 と主半導体層 52 との間の PN 接合が逆バイアスされ、電流は流れなくなる。

【0111】このとき、ショットキー接合と PN 接合の両方から主半導体層 52 内に空乏層が広がる。図 19 の符号 61 は、ショットキー接合面及び PN 接合面から主半導体層 52 内に広がる空乏層の端部を示しており、同図の符号 62 は、PN 接合面から充填物 57 内に広がる空乏層の端部を示している。

【0112】このダイオード 5 では、充填物 57 の幅及

び間隔と、その濃度と、主半導体層52の濃度とが最適値に設定されることで、充填物57の内部が完全に空乏化するとき、主半導体層52内部の空乏層の端部の、PN接合から横方向に広がった部分同士が接触するようになっている。

【0113】このように、本発明のダイオード5でも、主半導体層52内に広がった空乏層の内部の電界強度は、深さ方向で一定値になっている。

【0114】以上は、トランジスタとダイオードに属する本発明の実施例について説明したが、本発明の半導体装置は、溝内が半導体のエピタキシャル成長物で充填された半導体装置に広く用いることが可能である。

【0115】なお、以上の例では、N型が第1導電型であり、P型が第2導電型であったが、N型とP型をそっくり入れ替え、P型を第1導電型とし、N型を第2導電型としたトランジスタ又はダイオードも本発明に含まれることは言うまでもない。

【0116】

【発明の効果】導通抵抗が小さく、高耐圧のトランジスタとダイオードが得られる。

【図面の簡単な説明】

【図1】(a)～(c)：本発明の一実施例のトランジスタの製造工程を説明するための図(1)

【図2】(d)～(f)：本発明の一実施例のトランジスタの製造工程を説明するための図(2)

【図3】(g)～(i)：本発明の一実施例のトランジスタの製造工程を説明するための図(3)

【図4】(j)～(l)：本発明の一実施例のトランジスタの製造工程を説明するための図(4)

【図5】(m)～(o)：本発明の一実施例のトランジスタの製造工程を説明するための図(5)

【図6】(p)～(r)：本発明の一実施例のトランジスタの製造工程を説明するための図(6)

【図7】(s)～(u)：本発明の一実施例のトランジスタの製造工程を説明するための図(7)

【図8】(v)～(x)：本発明の一実施例のトランジスタの製造工程を説明するための図(8)

【図9】本発明のトランジスタ内部の空乏層の状態を説

明するための図

【図10】本発明のトランジスタ内部の電界強度の分布を説明するための図

【図11】本発明のトランジスタ及びダイオードの細溝の配置を説明するための平面図

【図12】本発明のトランジスタ及びダイオードの細溝の立体形状を説明するための斜視図

【図13】細溝の側面に{1 0 0}を露出させた本発明のトランジスタの充填物の断面顕微鏡写真

【図14】細溝の側面に{1 1 0}を露出させたトランジスタの充填物の断面顕微鏡写真

【図15】PN接合型IGBTである本発明のトランジスタの一例を示す図

【図16】ショットキー接合型IGBTである本発明のトランジスタの一例を示す図

【図17】(a)～(c)：本発明のダイオードの製造工程を説明するための図(1)

【図18】(d)～(f)：本発明のダイオードの製造工程を説明するための図(2)

【図19】本発明のダイオード内部の空乏層の状態を説明するための図

【図20】従来技術のトランジスタを説明するための図

【図21】充填物を有するトランジスタを説明するための図

【符号の説明】

2～4……トランジスタ

5……ダイオード

11、45……半導体基板

12……ドレイン層

13……ボディ層

20、53……細溝

22、57……充填物

24……ゲート絶縁膜

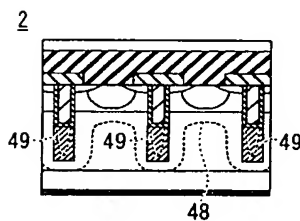
27……ゲート電極プラグ

30……ソース領域

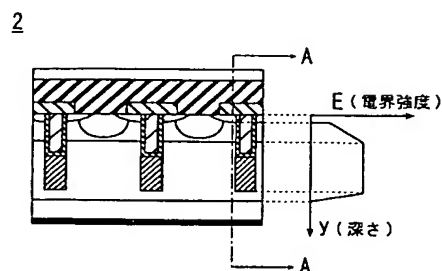
46……コレクタ電極

47……ショットキー電極

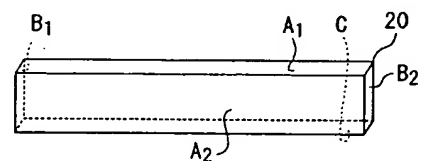
【図9】



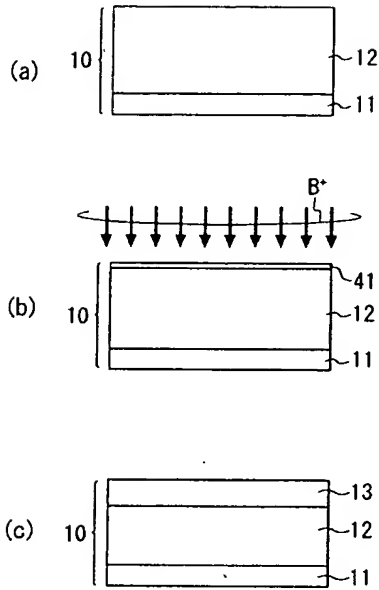
【図10】



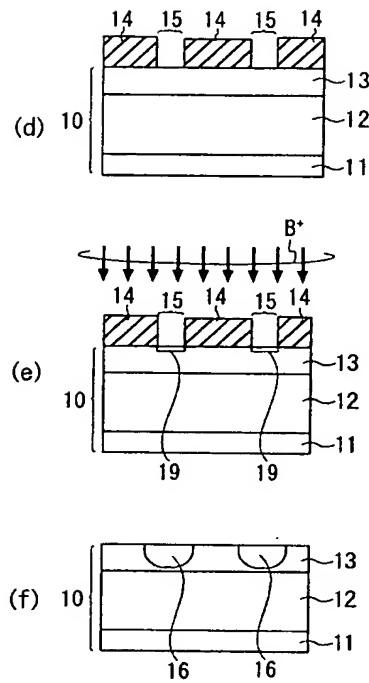
【図12】



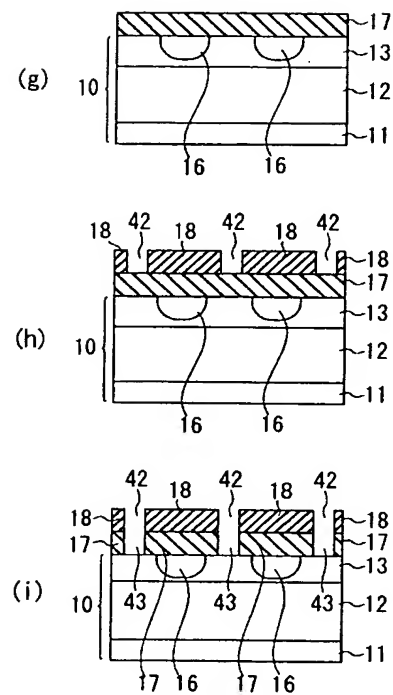
【図1】



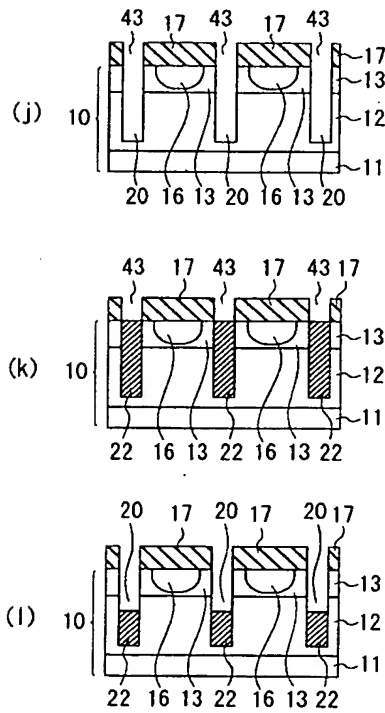
【図2】



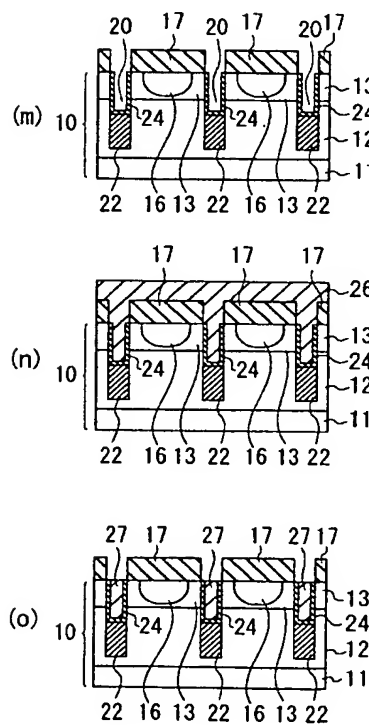
【図3】



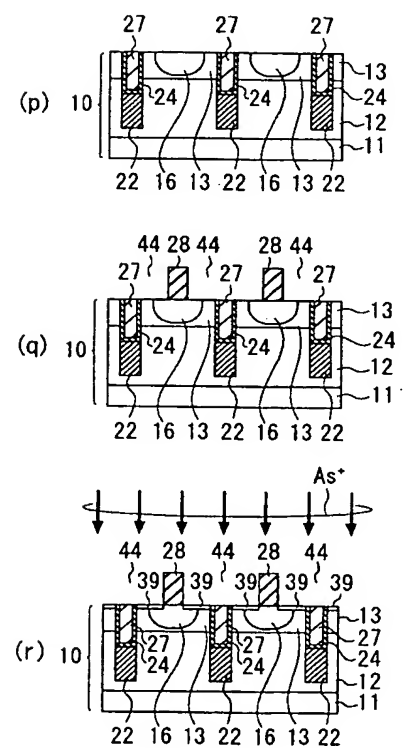
【図4】



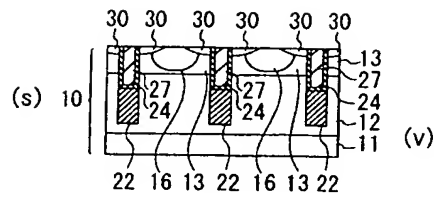
【図5】



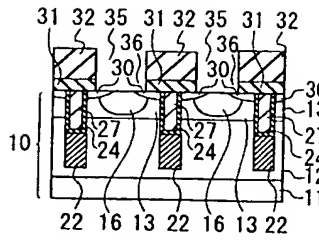
【図6】



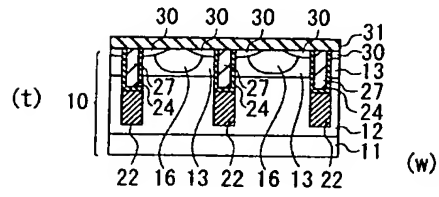
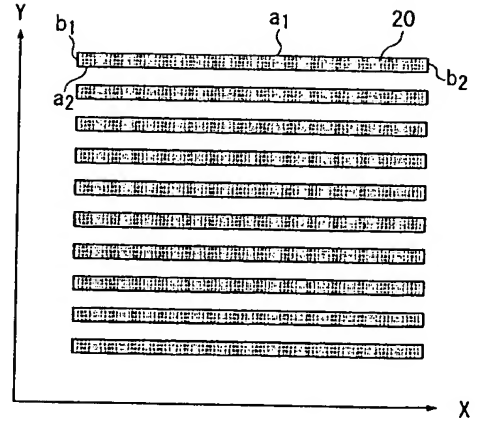
【図 7】



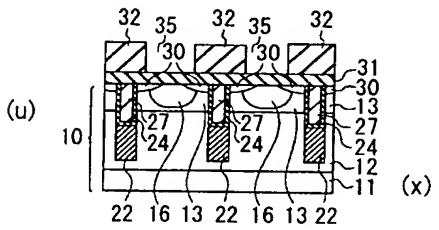
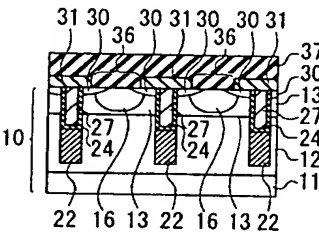
【図 8】



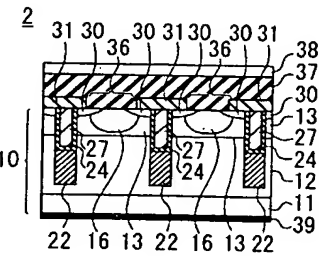
【図 11】



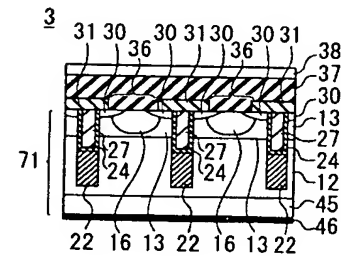
(w)



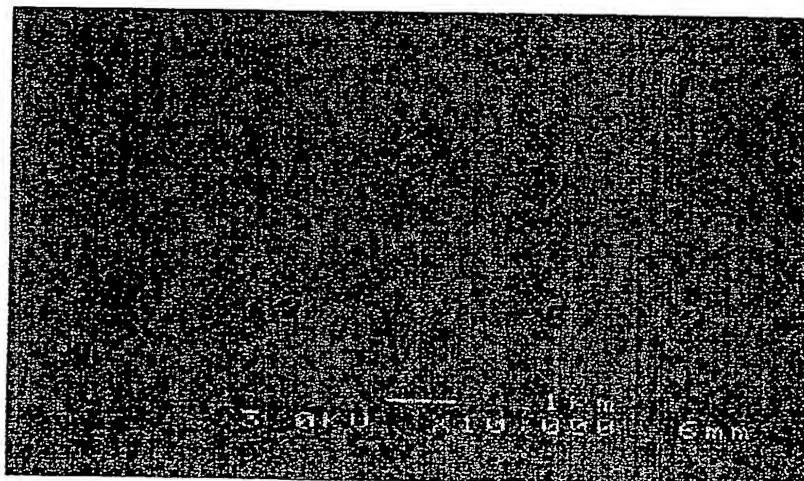
(x)



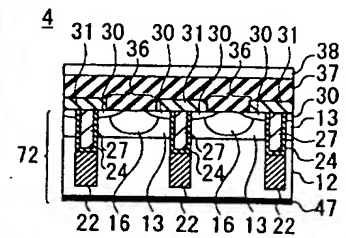
【図 15】



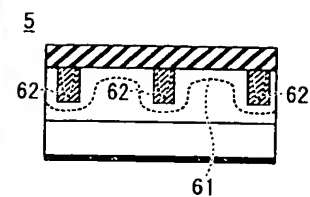
【図 13】



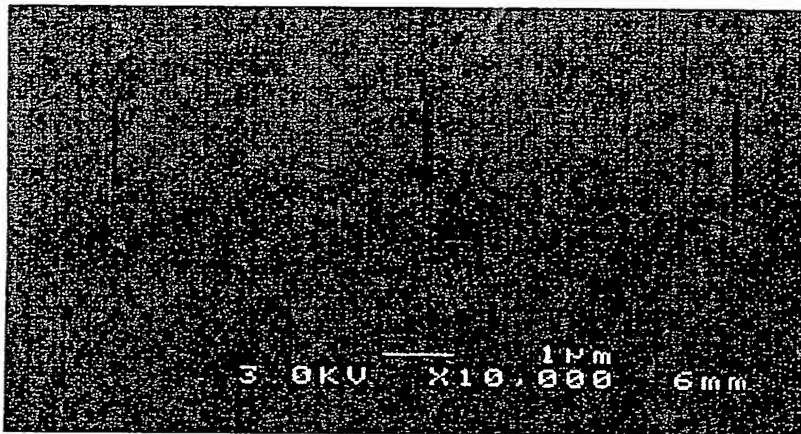
【図 16】



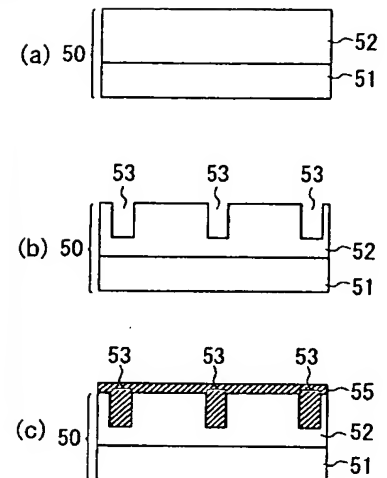
【図 19】



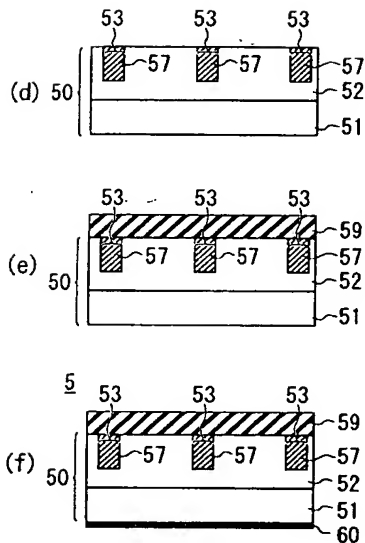
【図14】



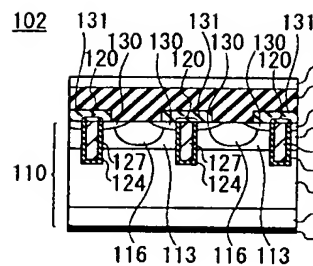
【図17】



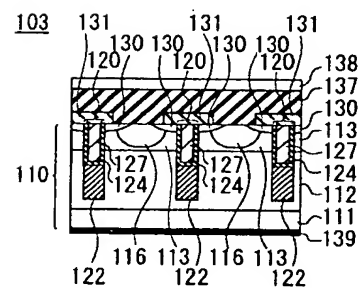
【図18】



【図20】



【図21】



フロントページの続き

(51) Int. Cl.⁷
// H01L 29/861

識別記号

F I
H01L 29/91

テ-マ-ド' (参考)
D

(72) 発明者 黒崎 徹
埼玉県飯能市南町10番13号 新電元工業株
式会社飯能工場内

(72) 発明者 九里 伸治
埼玉県飯能市南町10番13号 新電元工業株
式会社飯能工場内

(72) 発明者 菅井 昭彦
埼玉県飯能市南町10番13号 新電元工業株
式会社飯能工場内

F タ-ム (参考) 4M104 AA01 BB01 BB02 CC03 CC05
FF01 FF31 GG09 GG18